

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6-61304

(43) 公開日 平成6年(1994)3月4日

(51) Int. Cl.⁵H01L 21/60
21/52

識別記号

311 S
E

庁内整理番号

6918-4M
7376-4M

FI

技術表示箇所

審査請求 未請求 請求項の数 6

(全 6 頁)

(21) 出願番号 特願平 4-209888

(22) 出願日 平成4年(1992)8月6日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 仙波 直治

東京都港区芝五丁目7番1号日本電気株式会
社内

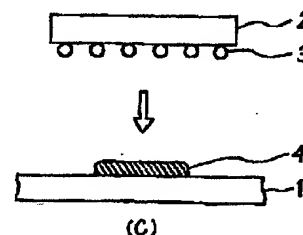
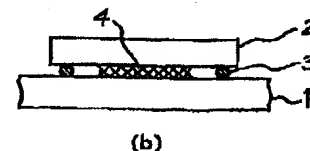
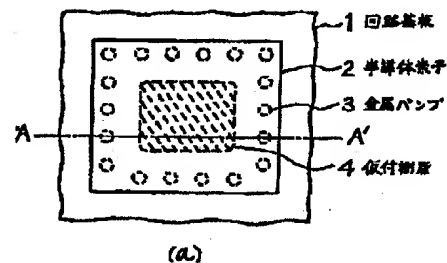
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体素子のボンディング方法

(57) 【要約】

【目的】 半導体素子の金属パンプと回路基板との仮接続あるいは仮位置決め、仮付樹脂を用いて実施することにより、同目的の低融点金属パンプあるいは層の形成を不要とする。

【構成】 半導体素子 2 に形成されたバリヤメタル（図示せず）上に金属パンプ 3 が設けられている。回路基板 1 側には回路基板電極パッド（図示せず）が形成されている。この回路基板の回路基板電極パッド内にチクトロピクス性、低 α 線性、高純度性、熱可塑性、高热伝導性、熱収縮性、高耐熱性、耐フラックス性等の各種特性を有する仮付樹脂 4 をスタンピング法、デイスペンス法、スクリーン印刷法等により付着させる。半導体素子 2 と回路基板とをフリップチップボンダーを使用し仮付する。この時に仮付樹脂 4 によって仮位置決めあるいは仮接続がなされる。その後仮樹脂 4 の硬化、加熱リフローにより本接続を完了する。



1

【特許請求の範囲】

【請求項1】 複数の外部接続用パンプが一面に形成されている半導体素子と外部接続用パンプと対応した位置に接続端子が設けられている回路基板とを接続する半導体素子のボンディング方法において、回路基板側または半導体素子側あるいは回路基板側および半導体素子側の双方に樹脂を付着させ接続することを特徴とする半導体素子のボンディング方法。

【請求項2】 前記樹脂の付着範囲を回路基板側、半導体素子側の双方共に接続端子、外部接続用パンプの内側に限定させたことを特徴とする請求項1記載の半導体素子のボンディング方法。

【請求項3】 前記樹脂の付着形状を回路基板側、半導体素子側の双方共に長方形、正方形、星形、円の字形、多重リング形、円の基盤目形のいずれかにしたことを特徴とする請求項1記載の半導体素子のボンディング方法。

【請求項4】 前記樹脂がチクトロピクス性、低 α 線性、高純度性、熱可塑性、高熱伝導性、熱収縮性、高耐熱性、高絶縁性、耐フラックス性等の各種特性を有していることを特徴とする請求項1記載の半導体素子のボンディング方法。

【請求項5】 前記樹脂がスクリーン印刷法、スタンピング法、ディスペンス法、パンチング圧着法等により付着させられることを特徴とする請求項1記載の半導体素子のボンディング方法。

【請求項6】 前記樹脂が液状あるいはテープ状であることを特徴とする請求項1記載の半導体素子のボンディング方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体素子のボンディング方法に関し、特にパンプ接続方法に関する。

【0002】

【従来の技術】 従来の半導体素子のボンディング方法は、例えば図7（特開平3-218645）、図8（特開平3-217024）および図9に示すようなものがある。まず、図7（特開平3-218645）の方法について説明する。半導体素子2'にはバリヤメタル形成後（図示せず）、蒸着法・スパッタリング法・メッキ法等により金属パンプ3'が設けられている。回路基板1'側には金属パンプ3'に対応する位置に回路基板電極パッド5'が形成され、更に上層に金属パンプ3'よりも低融点である低融点金属層11を設けている。このため半導体素子のボンディング方法は回路基板1'の回路基板電極パッド5'の位置合わせ設備を用いて半導体素子2'の金属パンプ3'を位置合わせする。その後、低融点金属層11よりも高い温度（例えば融点+50℃）で加熱リフローして低融点金属層11を溶解させることにより半導体素子2'と回路基板1'の仮接続を実施す

(2)

特開平6-61304

2

る。同様な方法で複数の半導体素子を回路基板上に仮接続する。全て搭載すべき半導体素子の仮接続が完了した後、金属パンプ3'の融点より高い温度（例えば融点+50℃）で加熱リフロー金属パンプ3'を溶解させて半導体素子2'と回路基板1'の本接続を行なう方法が採られている。

【0003】 次に図8（特開平3-217024）の方法について説明する。半導体素子2'にはバリヤメタル形成後（図示せず）蒸着法・スパッタリング法等により金属パンプ3'と金属パンプ3'よりも融点の低い低融点金属パンプ12が設けられている。回路基板1'側には金属パンプ3'および低融点金属パンプ12に対応する位置に回路基板電極パッド5'が形成されている。このため半導体素子のボンディング方法は回路基板1'の回路基板電極パッド5'の位置に位置合わせ設備を用いて半導体素子2'の金属パンプ3'と低融点金属パンプ12を位置合わせする。その後、低融点金属パンプ12よりも高い温（例えば融点+50℃）で加熱リフローして半導体素子2'の低融点金属パンプ12を溶解させて半導体素子2'と回路基板1'の仮接続を実施する。同様な方法で複数の半導体素子を回路基板上に仮接続する。全て搭載すべき半導体素子の搭載が完了した後、金属パンプ3'の融点より高い温度（例えば融点+50℃）で加熱リフローして金属パンプ3'を溶解させて半導体素子2'と回路基板1'の本接続を行なう方法が採られている。

【0004】 次に図9に示す方法について説明する。半導体素子2'にはバリヤメタル形成後（図示せず）、蒸着法・スパッタリング法・メッキ法等により金属パンプ3'が設けられている。回路基板1'側には金属パンプ3'に対応する位置に回路基板電極パッド5'が形成されている。更にフラックス13が金属パンプ3'側または回路基板電極パッド5'側か、金属パンプ3'側および回路基板電極パッド5'側の双方に塗布されている。フラックス13は一般に粘着特性を有しているため、この粘着性を利用して半導体素子2'と回路基板1'の仮位置決めを行なっている。このため半導体素子のボンディング方法は回路基板1'の回路基板電極パッド5'あるいは半導体素子2'の金属パンプ3'か金属パンプ3'と回路基板電極パッド5'の双方にフラックス13をあらかじめ塗布する。その後、回路基板1'の回路基板電極パッド5'の位置に位置合わせ設備を用いて半導体素子2'の金属パンプ3'の位置合わせする。この結果、フラックス13の粘着力により半導体素子2'と回路基板1'の仮位置決めは完了する。同様な方法で複数の半導体素子を回路基板上に仮位置決めする。全て搭載すべき半導体素子の搭載が完了した後、金属パンプ3'の融点より高い温度（例えば融点+50℃）で加熱リフローして金属パンプ3'を溶解させて半導体素子2'と回路基板1'の本接続を行なう方法が採られている。こ

3

の方法は一般的に一番多く使用されている。

【0005】

【発明が解決しようとする課題】これら従来技術は、半導体素子と回路基板の仮接続を行なうために、回路基板側の回路基板電極パッド上層に半導体素子の金属バンプよりも低融点金属層をあるいは半導体素子の金属バンプの一部に金属バンプよりも低融点の金属バンプを設けている。この低融点金属層および低融点金属バンプを設けるには、回路基板側、半導体素子側いずれにしてもリソグラフィ技術、蒸着・スパッタリング・メッキ法等のメタル形成技術、マスク技術等を利用して少なくともレジスト塗布→目合わせ露光→現像→蒸着・スパッタリング・メッキ等→ウェットバック→洗浄→乾燥等の一連の工程が追加されなければならない。このため、製造工程の管理、維持が複雑となる。工程数増加に伴う歩留低下、品質低下、コスト高等の問題があった。

【0006】また、フラックスの粘着力を利用した仮位置決め法は塗布後の放置時間と共に減少する粘着力、比重と粘着力のばらつき等の維持管理の難しさと、加熱リフロー温度プロファイル差によるフラックスの溶融状態差による位置ずれが発生し本来の目的の位置決めにはならないという問題点があった。更にフラックス中に含まれる不純物の半導体素子に与える悪影響、フラックス洗浄液の環境に与える悪影響等の各種問題点があった。

【0007】

【課題を解決するための手段】本発明の半導体素子のボンディング方法は回路基板電極パッドの内側あるいは半導体素子の金属バンプの内側が回路基板電極パッドの内側と半導体素子の金属パッドの内側の双方に仮位置決め用あるいは仮接続用の樹脂を付着させている。この樹脂はチクトロピクス性、低 α 線性（例えば0～5ppb）、高純度性（例えば $cl-5$ ppm以下、 NO^- 3ppm以下、 Na^+ 1ppm以下、 K^+ 1ppm以下）、熱可塑性、高熱伝導性、熱収縮性、高耐熱性、耐フラックス性、高絶縁性等の特性を備えている。樹脂付着にはスクリーン印刷法、デイス Pens 法、スタンピング法、パンチング圧着法等を用いる。

【0008】

【実施例】次に本発明について図面を参照して説明する。図1(a)は本発明の第1の実施例を示す平面図である。半導体素子2にはバリヤメタル形成後（図示せず）蒸着法・スパッタリング法・メッキ法等により金属バンプ3を設けている。回路基板1（回路は図示せず）には金属バンプ3に対応する位置に回路基板電極パッド（図示せず）を形成させ、更に仮付樹脂4をスタンピング法・デイス Pens 法・スクリーン印刷法等により付着させている。樹脂厚は金属バンプ3のバンプ高さよりも少し高い位の寸法（例えば、金属バンプの高さが100 μm であったならば100～150 μm 位）が良好である。樹脂付着範囲は半導体素子2が回路基板1に接続さ

(3)

特開平6-61304

4

れた状態で金属バンプ3に仮付樹脂4が触れないようにする。例えば、直径100 μm の金属バンプが四辺に配置され、金属バンプの中心間距離が10mmの半導体素子の仮付樹脂の付着範囲は最大寸法9.8mm×9.8mm位である。仮付樹脂4はチクトロピクス性、低 α 線性（例えば0～5ppb）、高純度性（例えば $cl-5$ ppm以下、 NO^- 3ppm以下、 Na^+ 1ppm以下、 K^+ 1ppm以下）、熱可塑性、高耐熱性、高熱伝導性、耐フラックス性、高絶縁性、熱収縮性等の特性を備えたものを使用する。

【0009】次に半導体素子2の金属バンプ3と回路基板1の回路基板電極パッド（図示せず）の位置合わせを位置合わせ設備（例えばフリップフロップボンド）により位置合わせする。この時に位置合わせ設備により半導体素子2の金属バンプ3の反対面から金属バンプ3のサイズ・数量・材質等により適当な荷重（例えば、サイズ：100 μm 、数量：100個、材質：Sn-Pb系の場合は0.5～10g/バンプ位）を加えて押下げ、仮付樹脂4の粘着力により仮位置決めを行なう。この段階で多少の衝撃・振動等を加えても、回路基板1と半導体素子2の位置ずれは生じないようになる。同様な方法で複数の半導体素子2を回路基板1上に仮位置決めする。この作業は常温～仮付樹脂4の硬化開始以下の温度（例えば20～100℃位）で実施するのが適当である。全て仮位置決めすべき半導体素子の仮位置決めが完了した後、全体を加熱し仮付樹脂4を硬化させることにより半導体素子2と回路基板1の仮付を完了させる。仮付樹脂4は硬化時に熱収縮特性を持っているため半導体素子2の金属バンプ3と回路基板1の回路基板電極パッド間には空間は発生せず逆に密着性（圧接状態）が向上する。その後、加熱リフロー（例えばPb/Sn=40/60の共晶半田による金属バンプ3であった場合は、230±10℃位の温度）を行ない半導体素子2の金属バンプ3を溶融させ、回路基板1の回路基板電極パッド（図示せず）と電気的・機械的接続を完了する。図1(b)に接続完了後の図1(a)のA-A断面図を示す。図1(c)は接続完了前の状態を示す側面図であり、回路基板1上に仮付樹脂4をスタンピング法・スクリーン印刷法・デイス Pens 法等により付着させ半導体素子2に形成された金属バンプ3を位置合わせ設備（例えばフリップフロップボンド）により位置合わせを行ない押下げ荷重を加えて仮位置決めを実施する。更に仮付樹脂4の硬化・加熱リフローを行ない接続を完了する。

【0010】図2は本発明の第2の実施例を示す平面図であり、回路基板1の回路基板電極パッド5内に星形の仮付樹脂6をスタンピング法・スクリーン印刷法等により付着させ、半導体素子と回路基板1の仮位置決め完了した時点で長方形あるいは正方形の仮付樹脂6'になるようにしたものであり、この実施例によれば、仮付樹脂が四辺の各中央部からせり出すことを防止できるため、

50

5

半導体素子に形成されている金属バンプおよび回路基板電極パッド5に仮付樹脂が触れなくなる。従って正常な金属接合ができる。

【0011】図3は本発明の第3の実施例を示す平面図であり、回路基板1の回路基板電極パッド5内に田の字型配置された仮付樹脂7をスタンピング法・スクリーン印刷法等により付着させ、半導体素子と回路基板1の仮位置決めを行なう。この実施例によれば、仮付樹脂7が田の字に分散配置されているため、仮付樹脂による各種応力分散ができる。従って半導体素子への応力が低減できる結果、特性の安定、接続の信頼性向上等が確保できる。また、仮付樹脂7の薄膜化調整が容易であるため特に接続ピッチの狭小化および金属バンプの小型化に適する。更に仮付樹脂7の硬化時に発生するアウトガスも容易に排出できる。

【0012】図4は本発明の第4の実施例を示す平面図であり、回路基板1の回路基板電極パッド5内に多重リング形に配置された仮付樹脂8をスタンピング法・スクリーン印刷法により付着させ、半導体素子と回路基板1の仮位置決めを行なう。この実施例によれば、仮付樹脂8が多重リング形に配置されているため、円形に近い半導体素子やコーナーに応力が集中する半導体素子等の応力低減に効果がある。その結果特性の安定、接続の信頼性向上等が確保できる。

【0013】図5は本発明第5の実施例を示す平面図である。回路基板1の回路基板電極パッド5内に基盤目形に配置された円形の仮付樹脂9をスタンピング法・デイスペンス法・スクリーン印刷法等により付着させ、半導体素子と回路基板1の仮位置決めを行なう。この実施例によれば、円形の仮付樹脂9が基盤目形に配置されているため、仮付樹脂による各種応力分散ができる。従って非常に薄い半導体素子やGa-As等の非常に割れやすい材料の半導体素子の回路基板1との接続に適する。その結果、特性の安定接続の信頼性向上等が確保できる。更に仮付樹脂9の硬化時に発生するアウトガスも容易に排出できる。

【0014】図6(a), (b)は本発明の第6の実施例を示す平面図とB-B'断面図である。半導体素子2の金属バンプ3内に仮付樹脂10をスタンピング法・デイスペンス法等により付着させ、半導体素子2と回路基板の仮位置決めを行なう。この実施例の特徴は仮付樹脂の付着する対象が第1～第5の実施例は回路基板であったのに対して半導体素子に対して実施されることである。その結果、回路基板の回路面が平面的でなくても特殊形状であっても、また他の部品との耐熱温度差等により半導体素子を特殊状況下で回路基板あるいは回路ブロックに対して仮位置決め、硬化、加熱リフローによる接続の場合に於いて非常に有効である。仮付樹脂は液状、テープ状共利用できる。

【0015】

(4)

特開平6-61304

6

【発明の効果】以上説明したように本発明は、半導体素子に形成された金属バンプと回路基板に形成された回路基板との仮位置決め用としてチクトロピクス性、低 α 線性、高純度性、熱可塑性、高熱伝導性、高耐熱性、高絶縁性、熱収縮性、耐フラックス性等の各種特性を有する仮付樹脂を用いている。仮付樹脂の付着させる範囲は、半導体素子の金属バンプの内側あるいは回路基板の回路基板電極パッドの内側とする。仮付樹脂を用いたことにより仮位置決めあるいは仮接続用として回路基板電極パッドの低融点金属層や特別な低融点金属バンプを設ける必要がない。

【0016】その結果、リソグラフィ技術、蒸着・スパッタリング・メッキ等のメタル形成技術、マスク技術等を使用した少なくともレジスト塗布→目合わせ露光→現像→蒸着スパッタリング、メッキ等→ウェットバック→洗浄→乾燥等の一連の工程が1サイクル削除できる効果がある。また工程数減少による歩留向上、品質向上、原価低減（例えば従来技術の1/3低減）、維持管理費の低減、マスク枚数削減等の効果がある。更に仮位置決めあるいは仮接続までの工程が常温作業できるため、設備費の低減、作業能率向上および安全容易化等にも効果がある。またフラックスによる仮位置決めあるいは仮接続までの問題点、塗布後の放置時間と共に減少する粘着力、比重と粘着力のばらつき等の難しい維持管理が不要となるため維持管理の容易化に効果がある。更にフラックスの洗浄も不要となる。従ってフラックス洗浄作業とし洗浄液が不要となり環境問題改善となる。

【0017】仮付樹脂の付着方法については、スタンピング法・デイスペンス法・スクリーン印刷法等の手段があるが何れの方法についても設備費は従来技術に対して1/10～1/100位ですみ、設備費の低減にも効果大である。また、半導体素子のサイズ・材質および金属バンプサイズ、数量等に準じて仮付樹脂形状を容易に変更できるため、本来の半導体素子の特性を十分に引き出すことが可能となる。更に仮付樹脂によって半導体素子の熱を回路基板に伝えることができるため、従来技術に対し放熱効果が良くなる。

【図面の簡単な説明】

【図1】(a)～(c)は本発明の第1の実施例を示す平面図、A-A'断面図および分解図である。

【図2】本発明の第2の実施例の平面図である。

【図3】本発明の第3の実施例の平面図である。

【図4】本発明の第4の実施例を示す平面図である。

【図5】本発明の第5の実施例を示す平面図である。

【図6】(a), (b)は本発明の第6の実施例を示す平面図とB-B'断面図である。

【図7】従来技術の例を示す断面図である。

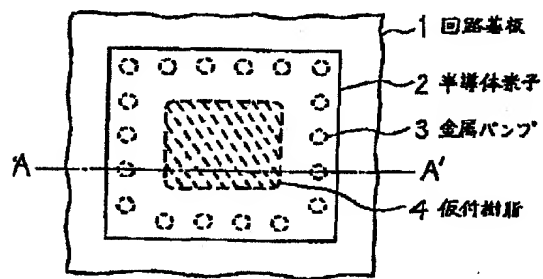
【図8】従来技術の他の例を示す断面図である。

【図9】従来技術の他の例を示す断面図である。

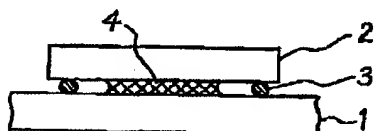
【符号の説明】

- 7
1, 1' 回路基板
2, 2' 半導体素子
3, 3' 金属パンプ
4, 6, 6', 7, 8, 9, 10 仮付樹脂

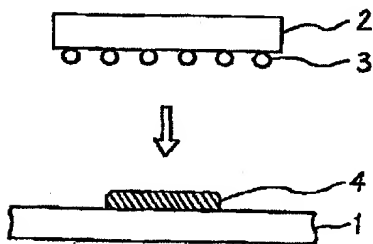
【図1】



(a)

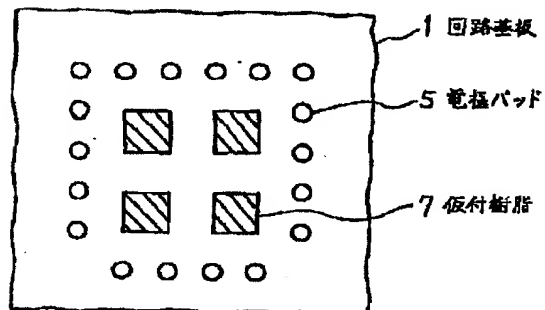


(b)



(c)

【図3】

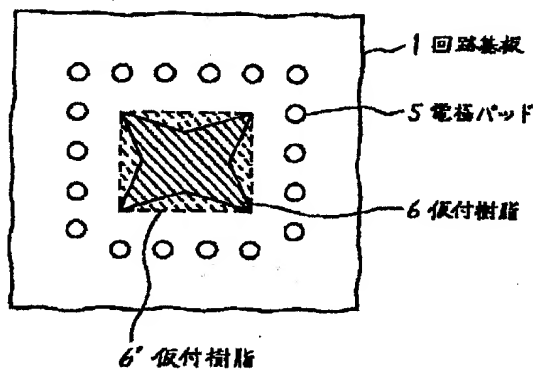


(5)

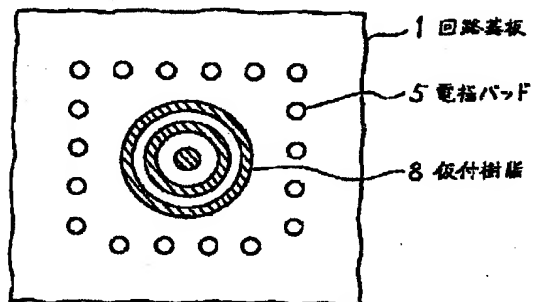
特開平6-61304

- 8
5, 5' 電極パッド
11 低融点金属層
12 低融点金属パンプ
13 フラックス

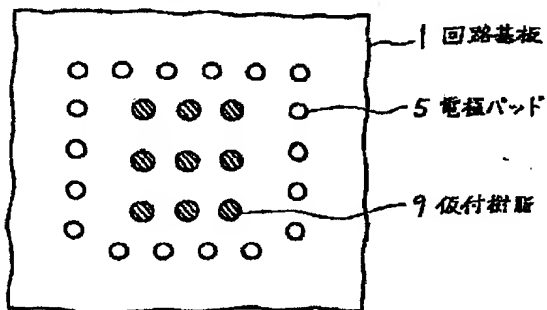
【図2】



【図4】



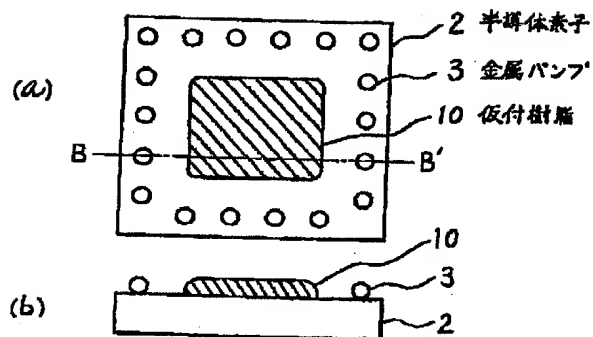
【図5】



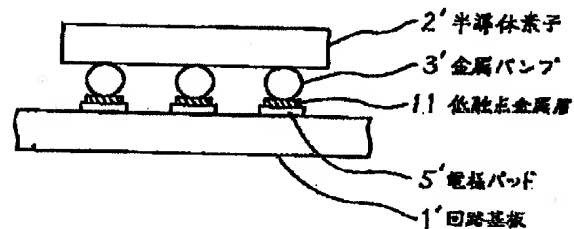
(6)

特開平6-61304

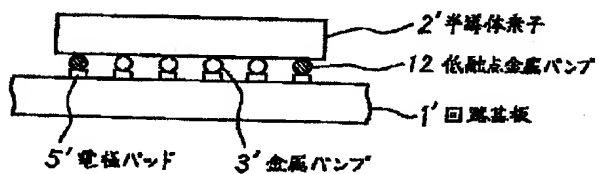
【図6】



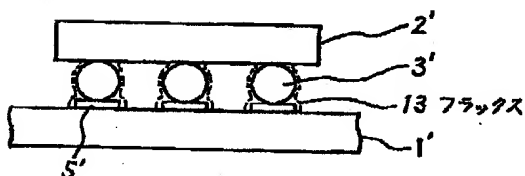
【図7】



【図8】



【図9】



An English translation of a relevant portion
of Japanese Laid-Open Patent Application No. 6-61304

【0009】 Next, the metallic bumps 3 of the semiconductor element 2 and circuit board electrode parts (not shown) on the circuit board 1 are aligned by means of an alignment facility (for example, a flip-flop bonder). At this time, the semiconductor element 2 is depressed with an appropriate weight applied from the opposite sides of the metallic bumps 3 and based on the size, number and substance of the metallic bumps 3 of the semiconductor element 2 (for example, size: 100 μ m, number: 100 pieces, substance: 5 – 10 g/bump for a Sn-Pb system), and is provisionally positioned due to the viscosity of the provisional attachment resin 4. At this stage, positional error between the circuit board 1 and the semiconductor element 2 will occur even if a somewhat shock or vibration is applied. By the same manner as described above, a plurality of semiconductor elements 2 are provisionally positioned on the circuit board 1. The above work is preferably performed at a temperature between ordinary temperature and the temperature at which the provisional attachment resin 4 starts to harden (for example, 20 – 100°C). After the provisional positioning of all the semiconductor elements to be provisionally positioned is completed, the entire device is heated to harden the provisionally positioning resin 4, so that the provisional attachment between the semiconductor elements 2 and the circuit board 1 is completed. Since the provisional attachment resin 4 has a thermal contraction characteristic at the time of hardening, no spaces occur between the metallic bumps 3 of the semiconductor elements 2 and the

circuit board electrode pads of the circuit board 1, but degree of adhesion (pressure-contact state) can be improved. Thereafter, a thermal reflow (for example, $230 \pm 10^\circ\text{C}$ when the metallic bumps 3 are formed of eutectic solder of $\text{Pb/Sn} = 40/60$) is performed so as to melt the metallic bumps 3 of the semiconductor elements 2. Thus, the electric and mechanical connections with the circuit board electrode pads of the circuit board 1 are completely made. Fig. 1(b) illustrates a cross-sectional view taken along line A-A in Fig. 1(a) after the connections are completely made. Fig. 1(c) is a side view showing a state observed before the connections are not yet made completely. The provisional attachment resin 4 is attached on the circuit board 1 by a stamping, method, a screen printing method, a dispense method or the like. Then, the metallic bumps 3 formed on the semiconductor elements 2 are aligned by the alignment facility (for example, the flip-flop bonder), and are provisionally positioned. Further, the hardening/thermal reflow of the provisional attachment resin 4 is carried out and the connections are thus completed.